

30 MHz~512 MHz FSK/OOK 双模射频发射机设计

徐永志^{1,2}, 马 骁¹, 张小宾¹, 郑占旗¹, 廖安谋¹, 赵振亚¹, 张立军¹

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

摘 要: 本文实现了一种支持 FSK, OOK 双模式的射频发射机芯片. 该发射机芯片集成了四阶二型锁相环和开关功放, 内置环路滤波器, 采用了偏置拷贝环路技术降低了电荷泵参考杂散, 通过调整可配置分频网络的分频比, 实现了 30 MHz~512 MHz 频率覆盖, 改变小数分频的分频比和调整具有工艺、温度补偿特性的开关功放的通断实现 FSK, OOK 双模发射. 该芯片采用 SMIC 0.18 μm 1P4M 工艺, 版图面积 1.05 mm * 1.35 mm, 总体功耗为 16 mW.

关键词: FSK/OOK; 参考杂散; 锁相环

中图分类号: TN626

文献标识码: A

文章编号: 1000-7180(2018)11-0057-05

Design of 30 MHz~512 MHz FSK/OOK Dual-mode RF Transmitter

XU Yong-zhi^{1,2}, MA Xiao¹, ZHANG Xiao-bin¹, ZHENG Zhan-qi¹,
LIAO An-mou¹, ZHAO Zhen-ya¹, ZHANG Li-jun¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academic of Sciences, Beijing 100049, China)

Abstract: A CMOS transmitter supporting On-Off Keying (OOK) and Frequency Shift Keying (FSK) modulation is proposed. The transmitter integrating 4th-order Type II Phase-Locked Loop, a switched-mode PA and a built-in loop filter adopts a Replica_Bias_Loop technique to reduce charge pump reference spur, and achieves a 30 MHz-512 MHz frequency coverage by adjusting the configurable network frequency division ratio. FSK/OOK modulation is implemented by changing fractional frequency division ratio and switching power amplifier with process and temperature compensation on and off. Implemented in SMIC 0.18 μm 1P4M process, the transmitter occupies an area of 1.05 mm * 1.35 mm and the overall power consumption is 16 mW from a 1.8 V power supply.

Key words: FSK/OOK ; reference spur ; phase-locked loops.

1 引言

射频发射机是无线通信系统中的关键模块, 随着通信技术的快速发展, 射频收发机电路的单芯片集成已经成为一种必然趋势. 在智能机器人控制、短距离无线通信等对数据率要求不高的领域, 通常采用 FSK、OOK 作为通信协议, 在某些特定应用下, 发射机的信号带宽、载频等需要灵活、可配置以适应不同的通信需求. 在此背景下, 本文设计了一款宽频率范围、低功耗、多模式、可重构

的发射机芯片, 以满足机器人控制系统对无线通信的要求^[1-2].

2 发射机框架设计

本文采用的发射机架构如图 1 所示, 包括四阶二型锁相环路、开关功放、FSK 调制器、SPI 控制器等电路. 压控振荡器 (VCO) 产生射频本振信号, 经分频器 (divider) 分频之后, 与参考信号在鉴频鉴相器 (PFD) 的输入端进行比较, 二者的相位差经 PFD 与电荷泵 (CP) 转化为充放电电荷, 通过环路滤波器

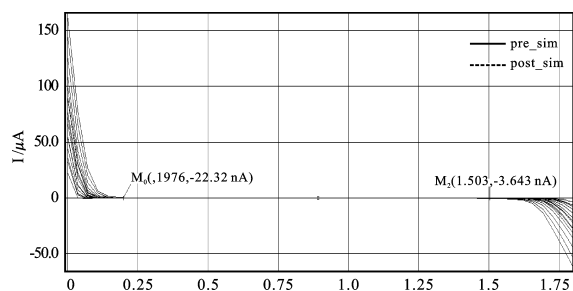


图3 电荷泵失配电流

3.2 振荡器设计

VCO 设计需要满足振荡频率和线性度要求;单核 LC 谐振电路频带较窄,无法满足宽频带覆盖,因此本文采用环振结构,如图 4 所示,V-I convert 为

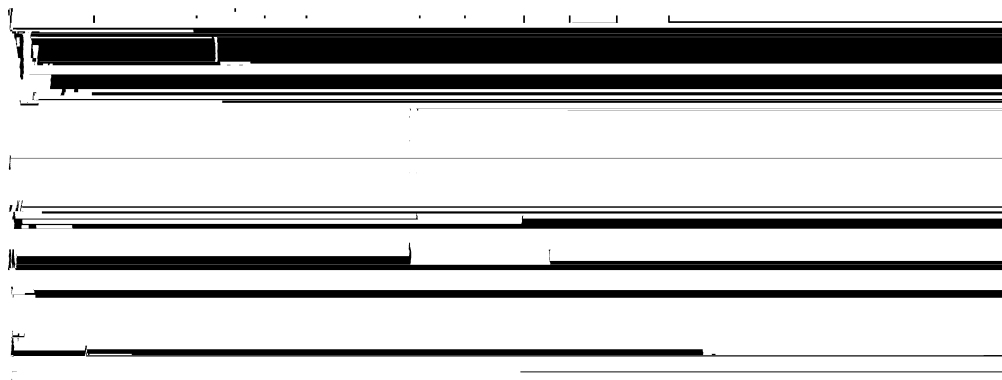


图4 压控振荡器

3.3 其他电路设计

Sigma_delta 调制器可以将小数分频杂散低频能量搬移到高频,经过环路滤波器滤波,高频杂散能够滤除;当输入信号是随机的,量化噪声是一个白噪声,但当输入信号是非随机的,量化噪声不是白噪声,低阶调制器的噪声整形效果比较差^[7-8]. 高阶的调制器虽然能够得到较好的噪声整形效果,但同时也增加了滤除高频量化噪声的难度. 高阶调制器的单环结构会存在环路稳定性问题, MASH 结构简单,绝对稳定,本文采用了 MASH1_1_1 结构, 20 bit 的抖动输入, 3 bit 的抖动输出, ‘+’与‘-’分别用加法器和反相器实现.

基于相位开关的双模预分频器利用两个二分频电路级联输出四路信号,在时间轴上,四路信号依次相差一个周期,相位选择开关选择不同的信号就可以实现双模操作,但在信号切换的过程中会有毛刺问题^[9],本文采用了“NP+S”吞没式分频器, S 计数器由 2 位累加器构成, P 计数器由 6 位累加器构成,加入了 3 位的抖动信号,增加了输出值随机性.

环路滤波器采用了三阶无源结构,电阻采用 HRP 电阻, MOS 电容对衬底噪声隔离性较差,本文

电压到电流转化电路, $M_1 \sim M_2$ 与 $M_5 \sim M_6$ 扩大输入电压范围, V_{ctr} 较低时, M_1 与 M_2 差分对工作,通过镜像管 M_4, M_{16} 将差分电压转化为电流; V_{ctr} 增加, $M_1 \sim M_2$ 与 $M_5 \sim M_6$ 同时工作;接近电源电压时, $M_5 \sim M_6$ 差分对工作,镜像管 M_7 与 M_{14} 将差分电压转化电流;差分对交互导通,扩大了输入电压范围,提高了电压转化为电流的线性度;四路由差分管组成的延迟单元级联所构成的环路振荡器,具有较宽的振荡频率, M_{27} 与 M_{28} 构成正反馈,加快 OUTP 与 OUTN 节点电压建立,该环路振荡器同时提供了相位相差 45° 的 8 路本振信号.

采用了 MIM 电容,在电阻的周围加入了隔离环,降低衬底噪声的影响.

4 1/2/4/8 分频网络设计

高速二分频电路基于噪声和速度考虑采用了三级 CML 结构. 通过二分频级联实现 2/4/8 分频,二分频电路^[10]如图 5(a)所示,电路由锁存和反馈构成, $M_0 \sim M_5, M_{12}, R_0 \sim R_1$ 构成一级锁存管,由于低输出摆幅有助于提高电路的响应速度,高输出摆幅能改善信号信噪比,基于速度考虑本文输出电压幅度设计为 200 mV~300 mV;版图中 M_0, M_1 采用不同的隔离环,减少时钟信号的耦合;多路选择器 (Multiplexer) (图 5(c)) 包括一个 2~4 译码器和两个二选一的选择开关, 2~4 译码根据 A_0, A_1 形式有四个不同的状态,控制两个尾部差分开关选择不同频率的信号,选择电路如图 5(b)所示, $M_{17} \sim M_{18}$ 与 $M_{19} \sim M_{20}$ 差分管有 selectA 与 selectC 决定导通或者截止, R_4, R_5 为 $R_0 \sim R_3$ 的两倍,尾电流相同时信号摆幅相同. 设计 VCO 的输出频率 240 MHz~512 MHz, 经过 1/2/4/8 分频,最终输出频率 30 MHz~512 MHz.

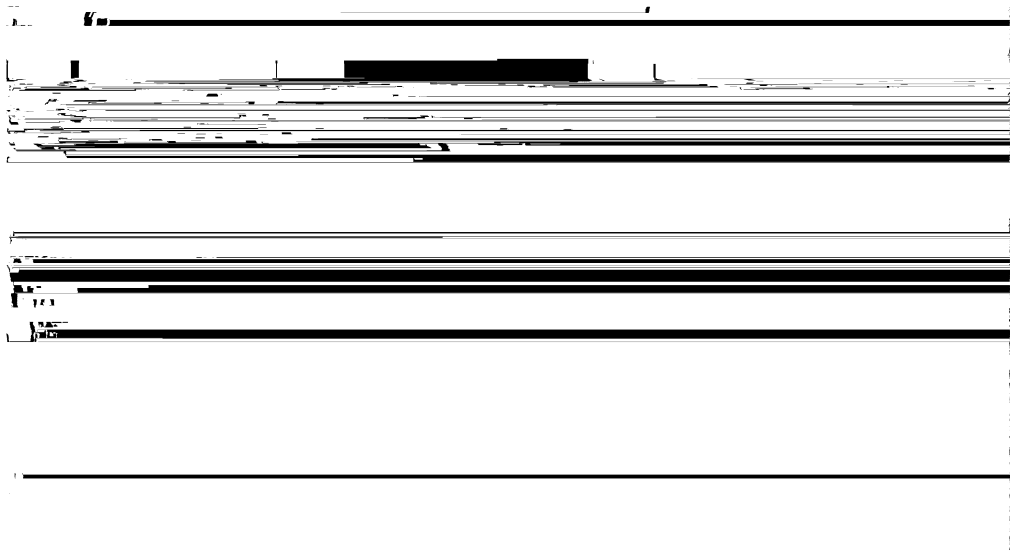


图 5 分频电路

5 功率放大器设计

本文设计的功率放大器具有工艺和温度补偿特性,采用了 cascode 结构,减少输出阻抗对输入节点的影响,增加了电路设计的自由度,所采用的功放电路如图 6(c)所示,信号 PA_IN 通过电容耦合到 M_6 管的栅极, V_B 设置 M_6 的静态工作点,不同的工艺角和温度, M_6 的阈值电压都会发生变化,因此,随工艺和温度变化的偏置电压 V_B 将有利于提高功率管的线性度,本文采用的偏置电路如图 6(a)所示.

$$I_1 = (V_{BG} - V_{EB}) / R_0 \tag{2}$$

$$I_2 = \frac{1}{2} \mu_n C_{ox} \frac{\omega}{l} (V_{gs} - V_{th})^2 \tag{3}$$

$$V_B = I_2 * R_1 + V_{gs} \tag{4}$$

M_0 与 M_1 的 W/L 相等,则 $I_1 = I_2$,式(2)与式(3)代入式(4),可得:

$$V_B = (V_{BG} - V_{EB}) \frac{R_1}{R_0} + \sqrt{\frac{2(V_{BG} - V_{EB})}{\mu_n C_{ox} (\omega/l) R_0}} + V_{th} \tag{5}$$

V_{EB} 具有负温度系数, R_0 具有正温度系数,前两项可以产生一个零温度系数,因此功率管偏置电压 V_B 随着工艺和温度所引起的 V_{th} 变化相应改变.

本文所设计的驱动电路如图 6(b)所示,该驱动电路通过组合逻辑同时完成了 FSK 和 OOK 之间的切换,后级的两级放大增加了驱动管的驱动能力; L 型片外匹配网络如图 6(d)所示,实现功率管和负载之间匹配,提高功率管效率.

6 仿真验证

在版图布局当中,为了避免数字信号对模拟电

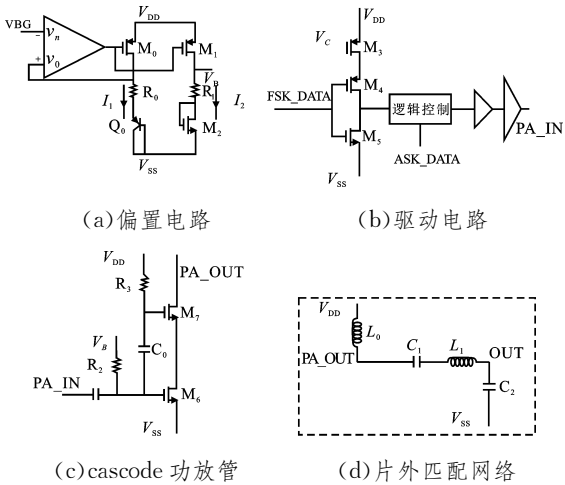


图 6 功放电路

路的干扰,本文采用了隔离环结构,数字信号和模拟信号在内部采用不同的电源.版图总面积 $1.05 \text{ mm} \times 1.35 \text{ mm}$; Spectre 仿真结果如图 7~9 所示,锁相环建立时间为 $15 \mu\text{s}$;在中心频率 512 MHz ,OOK 发射数据率可达 50 Mb/s 发射信号峰峰值 800 mV ;通过改变可配置小数分频比,可实现 2 MHz 频差切换 FSK 调制信号.

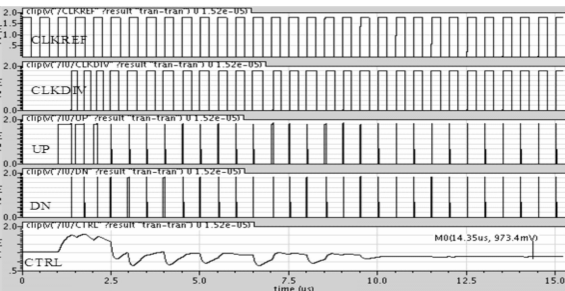


图 7 锁相环锁定

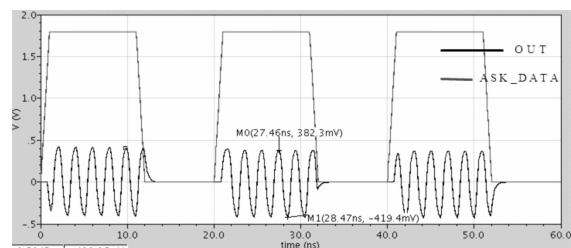


图 8 OOK 调制

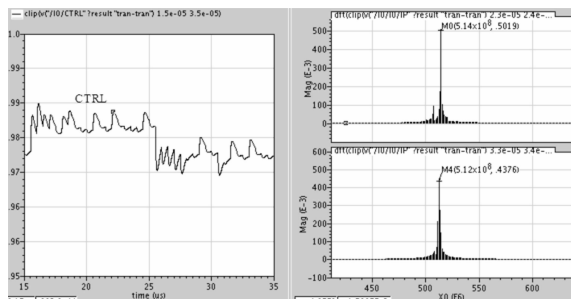


图 9 FSK 调制

7 结束语

本文在 180 nm CMOS 工艺下,设计了一款支持 FSK、OOK 的双模发射机,内置环路滤波器,采用低失配技术降低了电荷泵的参考杂散,建立时间在 15 μ s 左右;OOK 调制的数据传输速率可达 50 Mb/s,其中,信号中心频率 512 MHz,发射脉冲峰峰值 800 mV;FSK 调制下,最大输出功率约为 0.2 dBm;芯片面积 1.05 mm $\times$ 1.35 mm,1.8 V 电源电压下,总体功耗 16 mW,可满足无线通信机器人控制系统需求。

参考文献:

[1] Amaral W, Castro W A, Coelhof, et al. A 2.4 GHz transceiver for wireless sensor network[C]//8th Int Caribbean Conf Dev Circ Syst. Playa del Carmen, Mexico, 2012;1-4.

[2] Everett G Farr. A power wave theory of antennas and coupling into complex systems[C]//General Assembly and Scientific Symposium. URSI, GASS, 2014;1-4. DOI: 10.1109/URSIGASS.2014.6929507.

[3] 张刚. CMOS 集成锁相环设计[M]. 北京:清华大学出版社, 2013.

[4] Best R E. Phase locked loops: design simulation and applications[M]. 北京:清华大学出版社, 2004.

[5] Muer B D, Steyaert M. CMOS fractional-N synthesizers[M]. Berlin: Springer, 2003.

[6] RHEE W. Design of high-performance CMOS charge pumps in phase-locked loops[J]. IEEE Int Symp Circ Syst, 1999(2):545-548.

[7] Eythan Familier, Ian Galton. Second and third-order noise shaping digital quantizers for low phase noise and nonlinearity-induced spurious tones in fractional-N PLLs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(6):836-847.

[8] Sleiman Bou Sleiman, Jad G Atallah, Saul Rodriguez, et al. Optimal $\Sigma\Delta$ modulation architectures for fractional-N frequency synthesis[J]. IEEE Transactions on Very Large Scale Integration Systems, 2010, 18(2):194-200.

[9] Brian A Floyd. A 16~18.8 GHz sub integer-N frequency synthesizer for 60GHz transceivers[J]. IEEE Journal of Solid-State Circuits, 2008, 43(5):1076-1086.

[10] Wei Lv, Lu Huang, Xuefei Bai. A 4 GHz low power glitch-free phase-switching divide-by-15/16 prescaler in 0.18 μ m CMOS[C]//Ultra-Wideband (ICUWB) 2010 IEEE International Conference. Nanjing, China, 2010:1-4.

作者简介:

徐永志 男, (1987-), 硕士研究生. 研究方向为模拟、射频集成电路设计. E-mail: xuyongzhi@ime.ac.cn.

马 骁 男, (1982-), 博士, 高级工程师. 研究方向为射频/微波/毫米波通信芯片、集成无源器件与系统级封装.

张小宾 男, (1982-), 硕士, 助理研究员. 研究方向为系统级封装及微系统集成技术.

郑占旗 男, (1982-), 博士, 助理研究员. 研究方向为电磁场与微波技术、阵列天线设计、微波模块与系统设计.

廖安谋 男, (1976-), 硕士, 高级工程师. 研究方向为集成微系统及射频 SiP.

赵振亚 男, (1978-), 高级工程师. 研究方向为电子系统总体设计.

张立军 男, (1963-), 研究员. 研究方向为雷达系统、射频微波技术与国防电子系统总体设计.